

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent

Customer No. 31561
Application No.: 10/605,660
Docket No. 10041-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wang
Application No. : 10/605,660
Filed : Oct. 16, 2003
For : HIGH DENSITY SEMICONDUCTOR PACKAGE
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

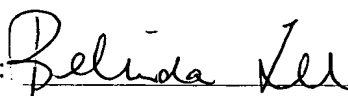
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
091125100, filed on: 2002/10/25.

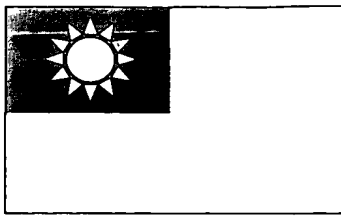
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 25, 2004

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 25 日
Application Date

申請案號：091125100
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 30 日
Issue Date

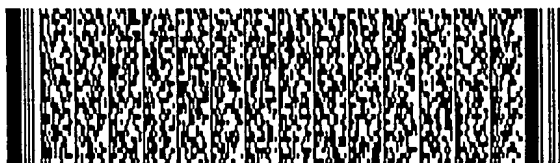
發文字號：09221103510
Serial No.

申請日期：	案號： 91125100
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有多封裝模組之封裝結構
	英文	Construction of a package with multiple modules
二、 發明人	姓名 (中文)	1. 王頌斐
	姓名 (英文)	1. Sung-Fei Wang
	國籍	1. 中華民國
	住、居所	1. 高雄市楠梓區加昌路729巷90弄21號
三、 申請人	姓名 (名稱) (中文)	1. 日月光半導體製造股份有限公司
	姓名 (名稱) (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 高雄市楠梓加工出口區經三路26號
	代表人 姓名 (中文)	1. 張虔生
	代表人 姓名 (英文)	1. Chien-Sheng Chang

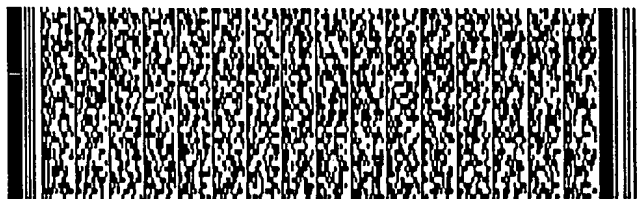


四、中文發明摘要 (發明之名稱：具有多封裝模組之封裝結構)

一種具有多封裝模組之封裝結構，主要係由一基板、一第一封裝模組以及四個第二封裝模組所組成。其中，基板具有一表面，而第一封裝模組與四個第二封裝模組係分別配置在基板之表面上，第一封裝模組具有四個側壁部份，而四個第二封裝模組係等分地配置在第一封裝模組的週緣，每一第二封裝模組具有一角落部份，且第一封裝模組之四個側壁部份的中間區域係分別面向四個第二封裝模組之角落部份。

英文發明摘要 (發明之名稱：Construction of a package with multiple modules)

A package with multiple modules is composed of a substrate, a first module and four second modules. The substrate has a surface on which the first module and four second modules are located. The first module has four side wall portion and four second modules are disposed on the side of the first module, so that the corner portion of each second module is faced to the middle area of the side wall portion of the first module.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

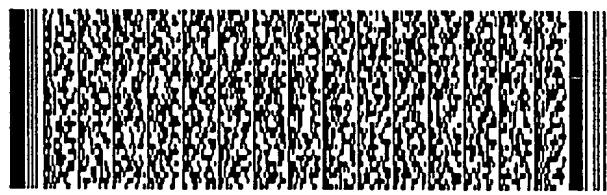
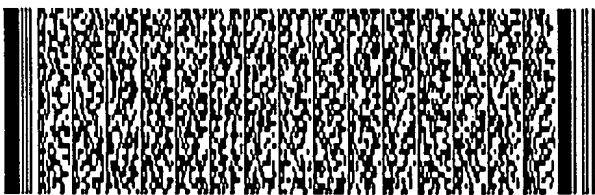
無

五、發明說明 (1)

本發明是有關於一種具有多封裝模組之封裝結構，且特別是有關於一種扁平化之高封裝積集度的多封裝模組之封裝結構。

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：裸晶片(die)的製造、積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。其中，裸晶片係經由晶圓(Wafer)製作、電路設計、光罩製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，經由裸晶片上之焊墊(Bonding Pad)與外部訊號電性連接後，再以封膠材料將裸晶片包覆著，其封裝之目的在於防止裸晶片受到濕氣、熱量、雜訊的影響，並提供裸晶片與外部電路，比如與印刷電路板(Printed Circuit Board, PCB)或其他封裝用基板之間電性連接的媒介，如此即完成積體電路的封裝(Package)步驟。

為了連接上述之裸晶片和封裝用基板，通常會使用導線(Wire)及/或焊球(Bump)作為接合之媒介。其中，覆晶接合技術(Flip Chip Interconnect Technology)即是在裸晶片之焊墊上以陣列排列的方式形成焊球，接著再將晶片翻覆之後，利用晶片上之焊球分別對應連接至封裝用基板上的接點，使得晶片可經由焊球而電性連接至封裝用基板，再經由封裝用基板之內部線路及表面之接點而與外部訊號電性連接。因此，隨著晶片的積集度的增加，晶片的封裝結構也是越來越多樣化，利用上述的覆晶接合技術之

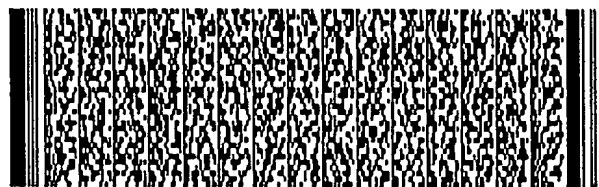


五、發明說明 (2)

晶片封裝結構，其具有縮小晶片封裝面積及縮短訊號傳輸路徑等優點，目前已經廣泛應用於晶片封裝領域，例如晶片尺寸構裝(Chip Scale Package, CSP)、球格陣列封裝(Ball Grid Array, BGA)以及多晶片模組封裝(Multi-Chip Module, MCM)等型態的封裝模組，均是覆晶接合技術所應用的範疇。其中，多晶片模組封裝係例如將數個晶片尺寸封裝(CSP)之型態的封裝模組，以覆晶接合技術構裝且集合在一塊基板上，且封裝模組之間藉由基板而彼此電性連接，以構成一具有不同功能的多封裝模組之封裝結構。

以動態隨機存取記憶體(dynamic random access memory, DRAM)以及中央處理器(CPU)為例，利用多晶片模組封裝(MCM)的封裝結構可將多個DRAM以及中央處理器(CPU)封裝在同一個基板上，如此不僅提高構裝密度、減少空間需求，也降低了封裝模組之間訊號延遲的現象，以達到高速處理的目的，因此廣泛被應用在通訊及攜帶式電子產品中。

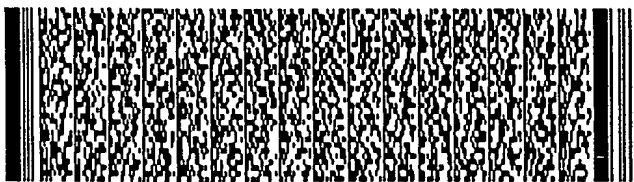
第1A以及1B圖繪示習知具有多封裝模組之封裝結構配置於一母板10的側視示意圖以及俯視示意圖。請參照第1A以及1B圖，其包括一基板100、一第一封裝模組110以及四個第二封裝模組112，其中基板100之二表面102、104上分別具有多個接點(未繪示)，用以作為基板100之內部電路的輸出入媒介。此外，第一封裝模組110以及第二封裝模組112分別配置於基板100之二表面102、104，而第一封裝



五、發明說明 (3)

模組110例如為中央處理器(CPU)，其位於基板100之下表面102的中央區域上，而第二封裝模組112例如為動態隨機記憶體(DRAM)，其分佈於基板100之上表面104的四個角落區域上。另外，第一、第二封裝模組110、112例如藉由焊球106來電性連接基板100之二表面102、104的接點，且每一封裝模組與基板之間，除了利用焊球來連接之外，還有填充材料108(Underfill)填入於焊球106之間，用以固定焊球106並分散其熱應力，以避免封裝模組與基板之間因兩者的熱膨脹係數(Coefficient of Thermal Expansion, CTE)不同所產生的拉伸應力，而導致焊球106因疲勞破壞(fatigue)而產生隙縫，並影響封裝模組與基板之間的訊號傳輸效能。

同樣請參考第1A以及1B圖，習知之第一封裝模組110如中央處理器(CPU)係配置於基板100之下表面102，如此封裝結構的總厚度D係為基板、第一封裝模組110以及第二封裝模組112之厚度的總合，無法達到輕、薄、短、小的目的。此外，當第一封裝模組110內部之晶片在高頻運作下，由於晶片會產生介電耗損而產生大量的熱能，如此將導致晶片之本身的溫度逐漸升高。值得注意的是，當晶片之本身的溫度一旦超出其正常的工作溫度範圍時，晶片之內部電路會發生運算錯誤的現象，或是暫時性地失效。然而，習知的第一封裝模組110如中央處理器卻配置於基板100之下表面102上，難以再增設其他的散熱構件於中央處理器上，若是透過母板10來對中央處理器散熱，則效果並



五、發明說明 (4)

不佳。

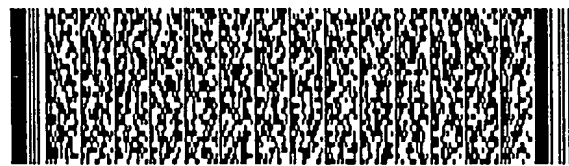
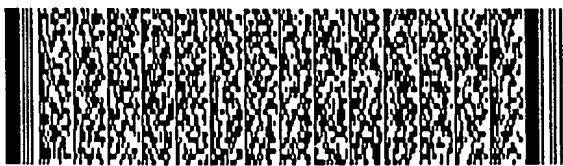
有鑑於此，本發明的目的在提出一種具有多封裝模組之封裝結構，其中多個封裝模組係配置於基板之同一表面上，用以降低封裝結構的厚度，以達到輕、薄、短、小的目的。

本發明的另一目的在提出一種具有多封裝模組之封裝結構，其中多個封裝模組係配置於基板之上表面，如此封裝模組可藉由其其他散熱裝置之配置，藉以增加晶片的散熱效能，並加快晶片的冷卻速度。

本發明的又一目的在提出一種具有多封裝模組之封裝結構，其中在承載面積有限之基板的表面上等分地配置多個封裝模組的位置，故可以增加封裝模組配置的積集度。

為達本發明之上述目的，提出一種具有多封裝模組之封裝結構，主要係由一基板、一第一封裝模組以及四個第二封裝模組所組成。其中，基板具有一表面，而第一封裝模組與四個第二封裝模組係分別配置在基板之表面上，第一封裝模組具有四個側壁部份，而四個第二封裝模組係等分地配置在第一封裝模組的週緣，每一第二封裝模組具有一角落部份，且第一封裝模組之四個側壁部份的中間區域係分別面向四個第二封裝模組之角落部份。

依照本發明一較佳實施例，第一封裝模組與第二封裝模組例如為晶片尺寸構裝的形式，且第一、第二封裝模組分別包括一晶片以及複數個焊球，其中焊球係介於晶片與基板之間，藉由焊球可使晶片與基板電性連接。另外，第



五、發明說明 (5)

一、第二封裝模組更包括一填充材料，位在晶片與基板之間，並包覆焊球。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之標示說明：

100、200：基板

102：下表面

104、202：上表面

106、206：焊球

108、208：填充材料

110、210：第一封裝模組

112、212：第二封裝模組

207：晶片

210a：側壁部份

210b、212a：角落部份

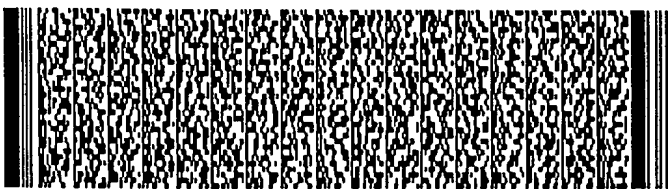
D：厚度

P：間距

S：距離

較佳實施例

請參照第2A以及2B圖，其中第2A圖繪示本發明一較佳實施例的一種具有多封裝模組之封裝結構配置於一母板10的俯視示意圖，第2B圖繪示第2A圖之封裝結構沿著A-A線之局部剖面圖。基板200具有一上表面202，且在基板200

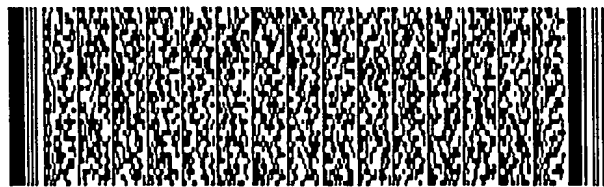
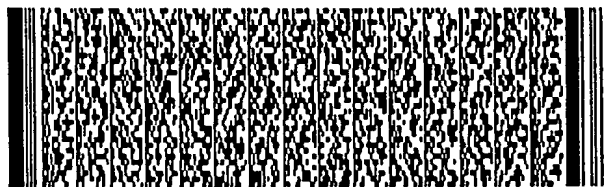


五、發明說明 (6)

之上表面202具有多個接點(未繪示)，用以作為基板200之內部電路的輸出入媒介，而基板200之上表面202上配置有一第一封裝模組210以及四個第二封裝模組212。值得注意的是，第一封裝模組210以及第二封裝模組212係配置於基板200之同一表面上，故可大幅降低封裝結構的總厚度D。此外，第一封裝模組210例如為中央處理器(CPU)，其位於基板200之上表面202的中央區域上，而非位於第1圖中習知之基板100之下表面102的中央區域上，故第一封裝模組210內部之晶片所產生之熱能，可經由晶片之表面或附加於晶片表面的散熱裝置220或散熱材質，而將熱能迅速地散溢到外界，藉以加快晶片的冷卻速度。另外，四個第二封裝模組212例如為動態隨機記憶體(DRAM)，其分佈於基板200之上表面202的四個角落區域上，如此第二封裝模組212與第一封裝模組210之間的距離拉近，可進一步縮短兩者之間訊號傳輸之路徑。

再者，每一封裝模組210、212比如為晶片尺寸構裝(CSP)，而其係類似覆晶的型態，乃是由一晶片207以及多個焊球206所構成，而藉由焊球206，晶片207可以與基板200電性連接。在晶片207藉由焊球206與基板200接合之後，還可利用點膠針(未繪示)將填充材料208(Underfill)填入於晶片207與基板200之間，以包覆焊球206。

同樣請參考第2A圖，其中第一封裝模組210以及四個第二封裝模組212係為晶片尺寸構裝(CSP)的形式，因此非常適用在承載面積小且空間(尤其指厚度)有限的基板上。

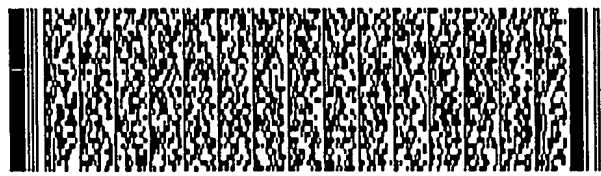
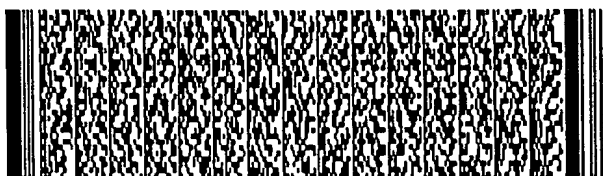


五、發明說明 (7)

在本實施例中，四個第二封裝模組212係等分地配置於基板200之四個角落區域上，且彼此相隔一間距P以形成一十字型的空間，用以放置第一封裝模組210。值得注意的是，受限於基板200的承載面積太小，且第一、第二封裝模組210、212之外型以及大小無法改變之下，若將第一封裝模組210以正交(90度)的方式配置(如虛線所示)，則第一封裝模組210的角落部份必定會與第二封裝模組212的角落部份重疊(Overlap)，使得第一封裝模組210無法放置於基板200之中央區域上。另外請參考第3圖，其繪示多個封裝模組利用正交的配置方式的俯視示意圖，雖然第一封裝模組與第二封裝模組沒有重疊的問題，但第一封裝模組210與第二封裝模組212之間的距離小於2公釐的情況下(如虛線所示)，會有難以填膠的問題，因此難以利用正交的方式配置。

請參考第2A以及3圖，為了解決上述的困境，本發明藉由改變第一封裝模組210的配置角度，旋轉第一封裝模組210約45度，以使第一封裝模組210的四個側壁部份210a係分別面向每一第二封裝模組212的角落部份212a，如此第一封裝模組210的角落部份210b係朝向相鄰之第二封裝模組212之間的間距P，且不會與第二封裝模組212的角落部份212a重疊或產生難以填膠的問題。因此，基板200之表面202上可同時配置五個晶片尺寸構裝(CSP)之封裝模組210、212，故可以增加封裝模組210、212配置的積集度。

請同時參考第2A、2B以及3圖，在最佳的情況下，第



五、發明說明 (8)

一封裝模組210係呈45度的配置角度而放置於四個第二封裝模組212所形成之十字型空間中，且為了方便填入填充材料於第一、第二封裝模組210、212與基板200之間，可使第一封裝模組210之側壁部份210a與第二封裝模組212之角落部份212a，兩者之間的最短距離S大於2公釐，而填充材料208會包覆焊球206以分散焊球206的熱應力。如此點膠針(未繪示)在填入填充材料208時，可以無阻礙地將填充材料填入到第一封裝模組210與基板200之間及第二封裝模組212與基板200之間。

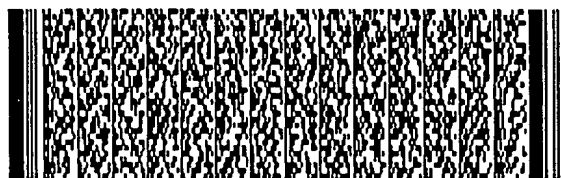
綜上所述，本發明之具有多封裝模組之封裝結構至少具有下列優點：

1. 本發明之具有多封裝模組之封裝結構，其中封裝模組係配置於基板之同一表面上，使得封裝結構的總厚度降低，並可進一步縮短封裝模組之間訊號傳輸之路徑，而達到輕、薄、短、小的目的。

2. 本發明之具有多封裝模組之封裝結構，其中封裝模組係配置於基板之上表面，如此晶片的散熱效能可提升，並加快晶片的冷卻速度。

3. 本發明之具有多封裝模組之封裝結構，其中四個第二封裝模組等分地配置在承載面積有限之基板的表面上，且藉由改變一第一封裝模組的配置角度，以使第一封裝模組可放置於四個第二封裝模組所形成之空間內，可以增加封裝模組配置的積集度。

雖然本發明已以一較佳實施例揭露如上，然其並非用



五、發明說明 (9)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



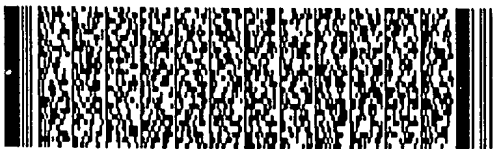
圖式簡單說明

第1A~1B圖繪示習知具有多封裝模組之封裝結構配置於一母板的側視示意圖以及俯視示意圖；

第2A圖繪示本發明一較佳實施例之一種具有多封裝模組之封裝結構配置於一母板的俯視示意圖；

第2B圖繪示第2A圖之封裝結構沿著A-A線之局部剖面圖；以及

第3圖繪示多個封裝模組利用正交的配置方式的俯視示意圖。



六、申請專利範圍

1. 一種具有多封裝模組之封裝結構，至少包括：

一基板，具有一表面；

一第一封裝模組，係配置在該基板之該表面上，該第一封裝模組具有四個側壁部份；以及

四個第二封裝模組，係配置在該基板之該表面上，該些第二封裝模組係等分地配置在該第一封裝模組的週緣，每一該些第二封裝模組具有一角落部份，

其中，該第一封裝模組之該些四個側壁部份的中間區域係分別面向該些四個第二封裝模組之該角落部份。

2. 如申請專利範圍第1項所述之具有多封裝模組之封裝結構，其中該些第二封裝模組到該第一封裝模組之間的最短距離係大於2公釐，而若是以該第一封裝模組之幾何形狀中心為中心點來旋轉該第一封裝模組時，當該第一封裝模組旋轉至一角度時，該些第二封裝模組之至少一個到該第一封裝模組之間的最短距離係小於2公釐。

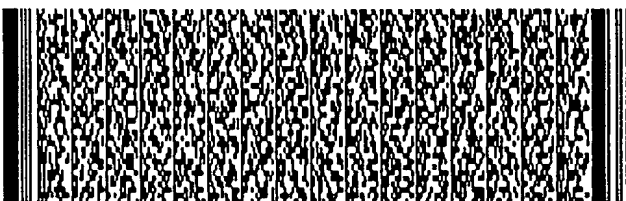
3. 如申請專利範圍第1項所述之具有多封裝模組之封裝結構，其中該第一封裝模組係為晶片尺寸構裝的形式。

4. 如申請專利範圍第1項所述之具有多封裝模組之封裝結構，其中該些四個第二封裝模組係為晶片尺寸構裝的形式。

5. 如申請專利範圍第1項所述之具有多封裝模組之封裝結構，其中該第一封裝模組包括：

一晶片；以及

複數個焊球，該些焊球係介於該晶片與該基板之



六、申請專利範圍

間，藉由該些焊球使該晶片與該基板電性連接。

6. 如申請專利範圍第5項所述之具有多封裝模組之封裝結構，其中該第一封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

7. 如申請專利範圍第1項所述之具有多封裝模組之封裝結構，其中每一該些第二封裝模組包括：

一晶片；以及

複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。

8. 如申請專利範圍第7項所述之具有多封裝模組之封裝結構，其中每一該些第二封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

9. 一種具有多封裝模組之封裝結構，至少包括：

一基板，具有一表面；

一第一封裝模組，係配置在該基板之該表面上，該第一封裝模組具有四個角落部份；以及

四個第二封裝模組，係配置在該基板之該表面上，該些第二封裝模組係等分地配置在該第一封裝模組的週緣，每一該些第二封裝模組具有四個側壁部份，而相鄰的該些第二封裝模組之間保持一間距，以形成四間距來分開該些四個第二封裝模組，並且每一該些第二封裝模組之該些側壁部份的其中兩個，係分別面向相鄰的該些第二封裝模組之該些側壁部份的其中一個，

其中，該第一封裝模組之該些四角落部份係分別朝



六、申請專利範圍

向該些四間距。

10. 如申請專利範圍第9項所述之具有多封裝模組之封裝結構，其中該些第二封裝模組到該第一封裝模組之間的最短距離係大於2公釐，而若是以該第一封裝模組之幾何形狀中心為中心點來旋轉該第一封裝模組時，當該第一封裝模組旋轉至一角度時，該些第二封裝模組之至少一個到該第一封裝模組之間的最短距離係小於2公釐。

11. 如申請專利範圍第9項所述之具有多封裝模組之封裝結構，其中該第一封裝模組係為晶片尺寸構裝的形式。

12. 如申請專利範圍第9項所述之具有多封裝模組之封裝結構，其中該些四個第二封裝模組係為晶片尺寸構裝的形式。

13. 如申請專利範圍第9項所述之具有多封裝模組之封裝結構，其中該第一封裝模組包括：

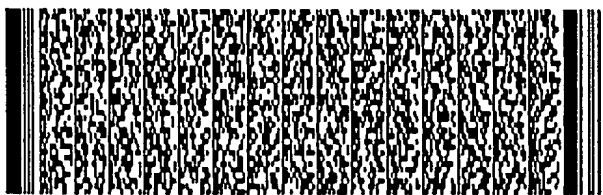
一晶片；以及

複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。

14. 如申請專利範圍第13項所述之具有多封裝模組之封裝結構，其中該第一封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

15. 如申請專利範圍第9項所述之具有多封裝模組之封裝結構，其中每一該些第二封裝模組包括：

一晶片；以及



六、申請專利範圍

複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。

16. 如申請專利範圍第15項所述之具有多封裝模組之封裝結構，其中每一該些第二封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

17. 一種多封裝模組結構，至少包括：

一第一封裝模組，該第一封裝模組具有一側壁部份；以及

一第二封裝模組，該些第二封裝模組係配置在該第一封裝模組的週緣，該第二封裝模組具有一角落部份，

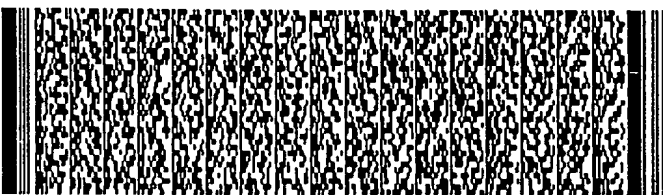
其中，該第一封裝模組之該側壁部份的中間區域係面向該第二封裝模組之該角落部份。

18. 如申請專利範圍第17項所述之多封裝模組結構，其中該第二封裝模組到該第一封裝模組之間的最短距離係大於2公釐，而若是以該第一封裝模組之幾何形狀中心為中心點來旋轉該第一封裝模組時，當該第一封裝模組旋轉至一角度時，該第二封裝模組到該第一封裝模組之間的最短距離係小於2公釐。

19. 如申請專利範圍第17項所述之多封裝模組結構，其中該第一封裝模組係為晶片尺寸構裝的形式。

20. 如申請專利範圍第17項所述之多封裝模組結構，其中該第二封裝模組係為晶片尺寸構裝的形式。

21. 如申請專利範圍第17項所述之多封裝模組結構，其中該第一封裝模組係與該第二封裝模組共平面地配置。



六、申請專利範圍

22. 如申請專利範圍第17項所述之多封裝模組結構，其中該第一封裝模組及該第二封裝模組係配置在一基板之一表面上。

23. 如申請專利範圍第17項所述之多封裝模組結構，其中該第一封裝模組包括：

一晶片；以及

複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。

24. 如申請專利範圍第23項所述之多封裝模組結構，其中該第一封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

25. 如申請專利範圍第17項所述之多封裝模組結構，其中該第二封裝模組包括：

一晶片；以及

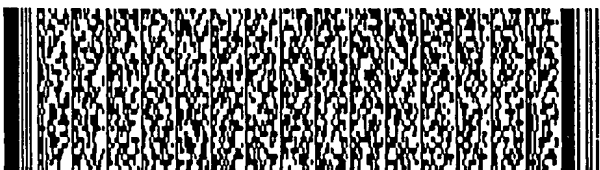
複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。

26. 如申請專利範圍第25項所述之多封裝模組結構，其中該第二封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

27. 一種多封裝模組結構，至少包括：

一第一封裝模組，該第一封裝模組具有一角落部份；以及

二第二封裝模組，該二第二封裝模組係配置在該第一封裝模組的週緣，該二第二封裝模組之間係保持一間



六、申請專利範圍

距，

其中，該第一封裝模組之該角落部份係朝向該間距。

28. 如申請專利範圍第27項所述之多封裝模組結構，其中該二第二封裝模組到該第一封裝模組之間的最短距離係大於2公釐，而若是以該第一封裝模組之幾何形狀中心為中心點來旋轉該第一封裝模組時，當該第一封裝模組旋轉至一角度時，該二第二封裝模組之至少一個到該第一封裝模組之間的最短距離係小於2公釐。

29. 如申請專利範圍第27項所述之多封裝模組結構，其中該第一封裝模組係為晶片尺寸構裝的形式。

30. 如申請專利範圍第27項所述之多封裝模組結構，其中該二第二封裝模組係為晶片尺寸構裝的形式。

31. 如申請專利範圍第27項所述之多封裝模組結構，其中該第一封裝模組係與該二第二封裝模組共平面地配置。

32. 如申請專利範圍第27項所述之多封裝模組結構，其中該第一封裝模組及該二第二封裝模組係配置在一基板之一表面上。

33. 如申請專利範圍第27項所述之多封裝模組結構，其中該第一封裝模組包括：

一晶片；以及

複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。



六、申請專利範圍

34. 如申請專利範圍第33項所述之多封裝模組結構，其中該第一封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

35. 如申請專利範圍第27項所述之多封裝模組結構，其中每一該二第二封裝模組包括：

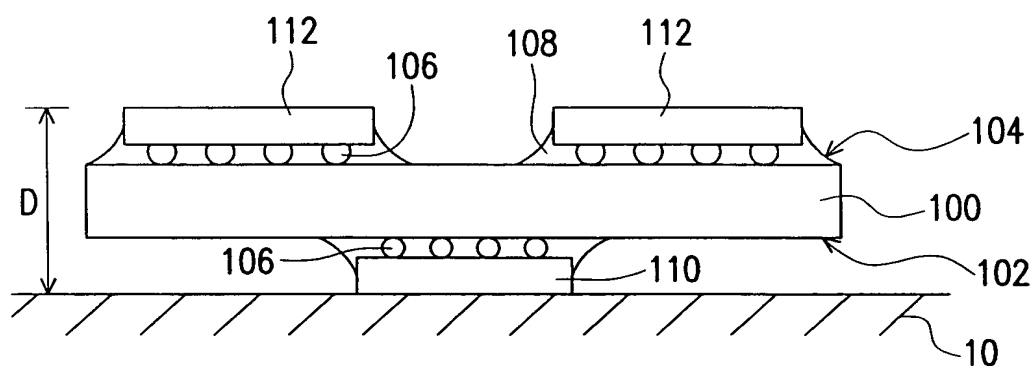
一晶片；以及

複數個焊球，該些焊球係介於該晶片與該基板之間，藉由該些焊球使該晶片與該基板電性連接。

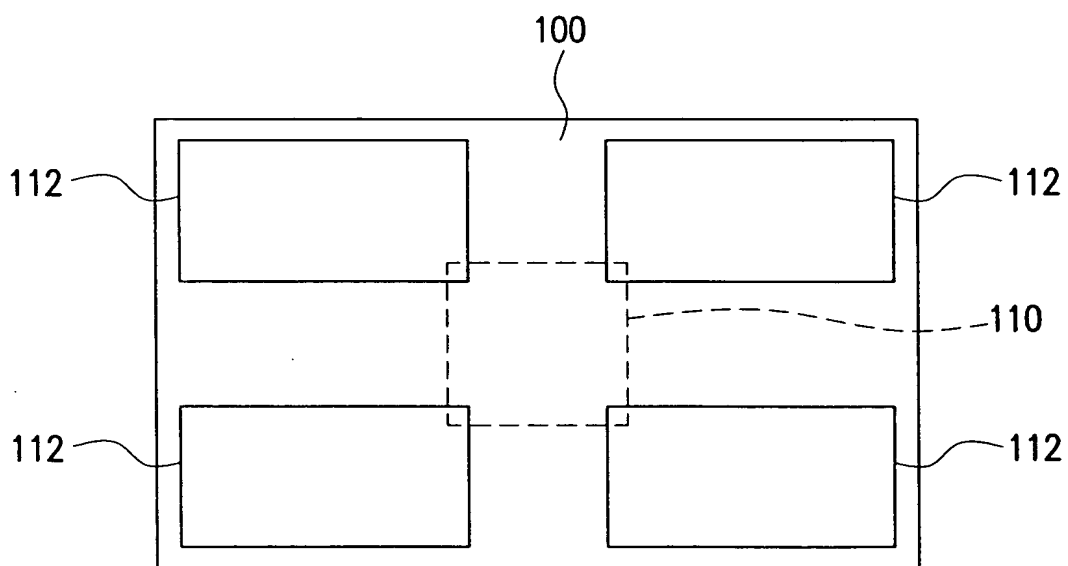
36. 如申請專利範圍第35項所述之多封裝模組結構，其中每一該二第二封裝模組還包括一填充材料，係位在該晶片與該基板之間，並包覆該些焊球。

37. 如申請專利範圍第27項所述之多封裝模組結構，其中每一該二第二封裝模組具有一側壁部份，而其中一該第二封裝模組之該側壁部份係面向另一該第二封裝模組之該側壁部份。

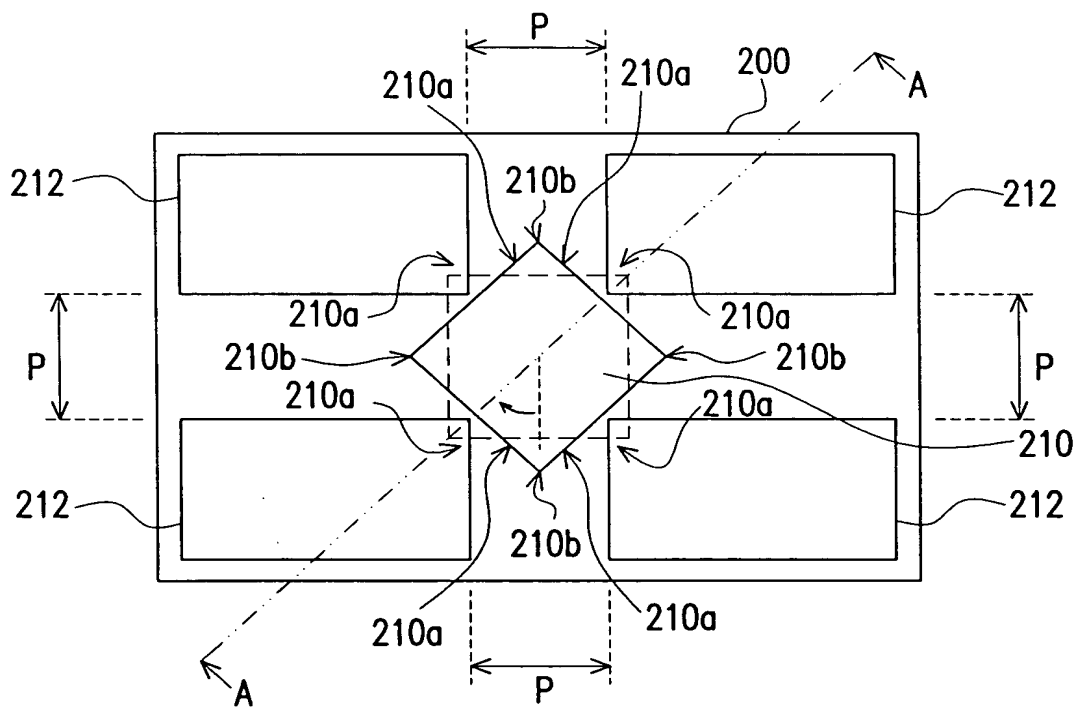




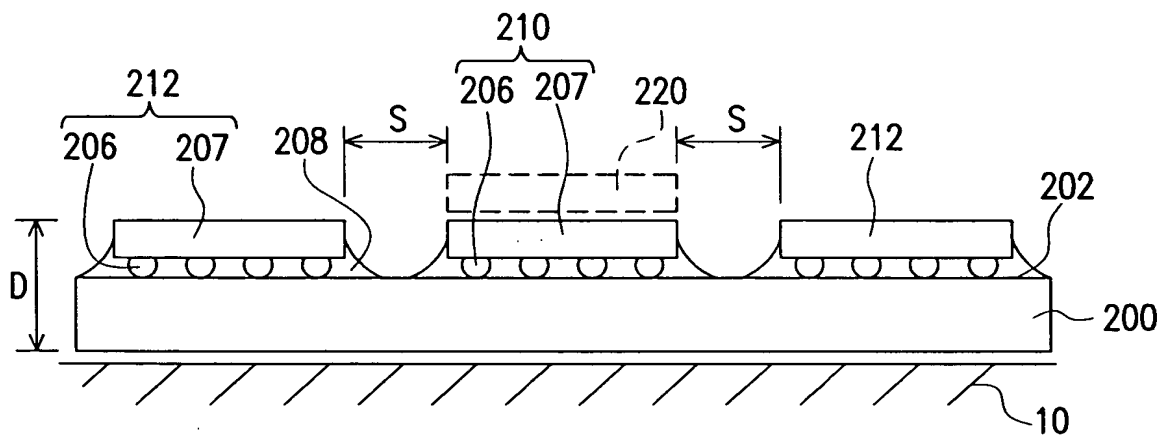
第 1A 圖



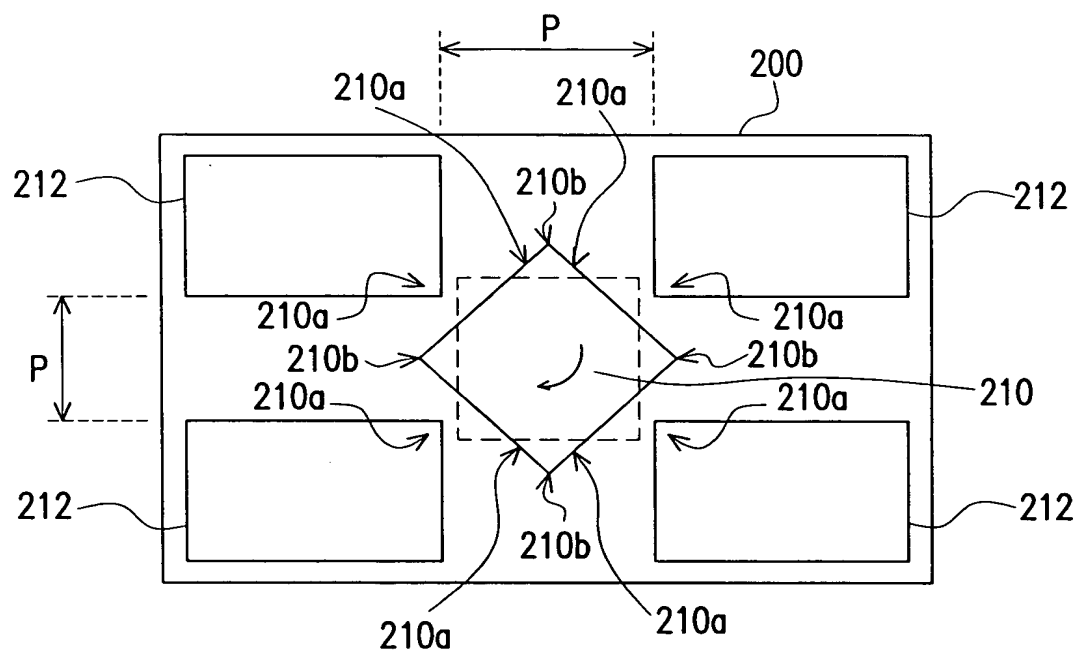
第 1B 圖



第 2A 圖



第 2B 圖

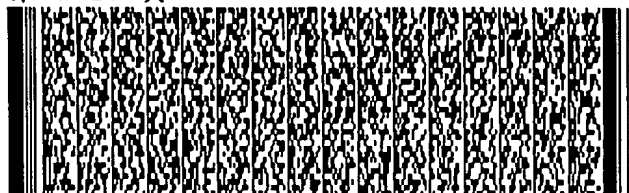


第 3 圖

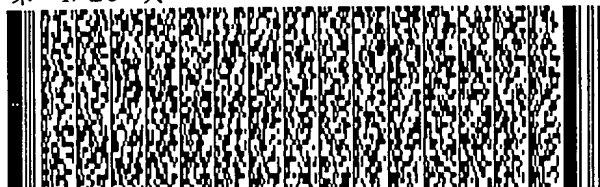
第 1/20 頁



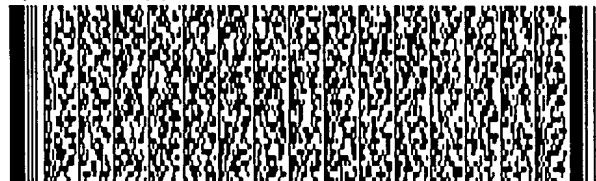
第 2/20 頁



第 4/20 頁



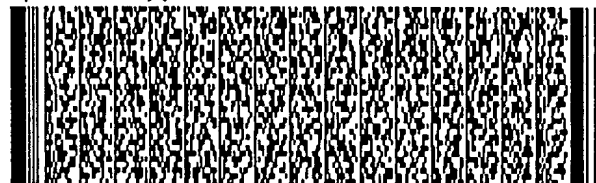
第 4/20 頁



第 5/20 頁



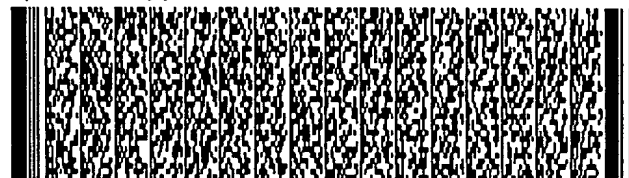
第 5/20 頁



第 6/20 頁



第 6/20 頁



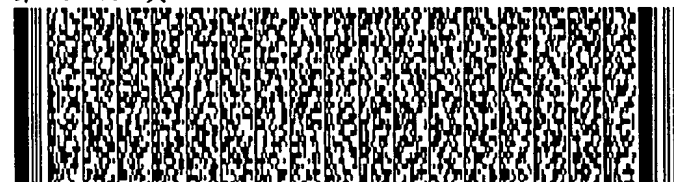
第 7/20 頁



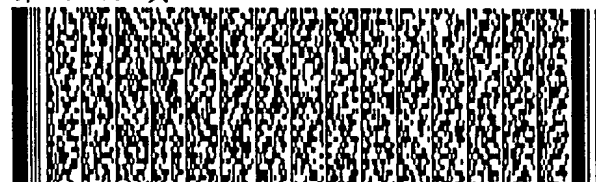
第 7/20 頁



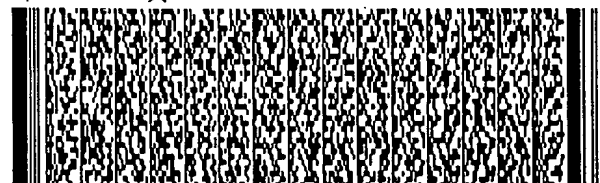
第 8/20 頁



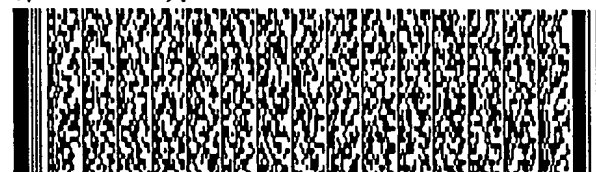
第 9/20 頁



第 9/20 頁



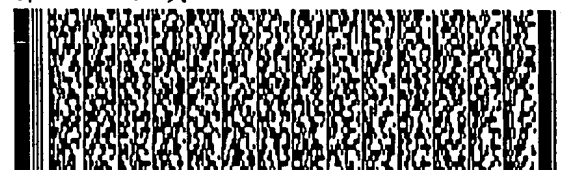
第 10/20 頁



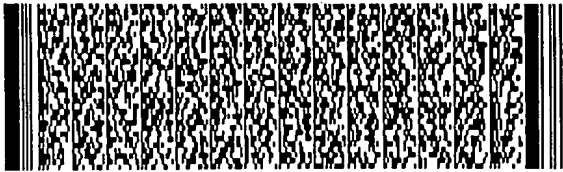
第 10/20 頁



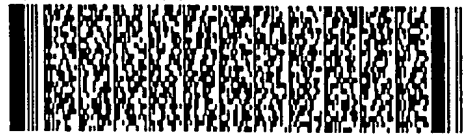
第 11/20 頁



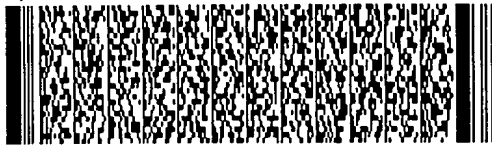
第 11/20 頁



第 12/20 頁



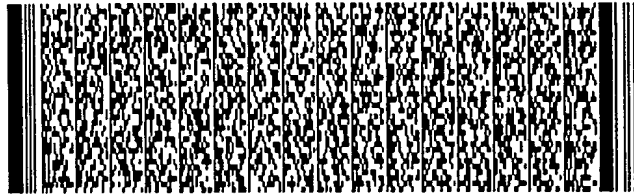
第 13/20 頁



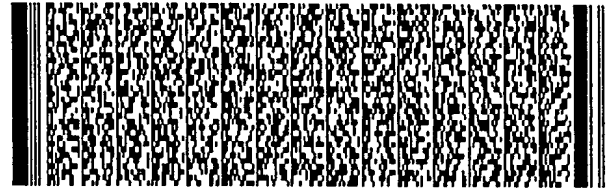
第 14/20 頁



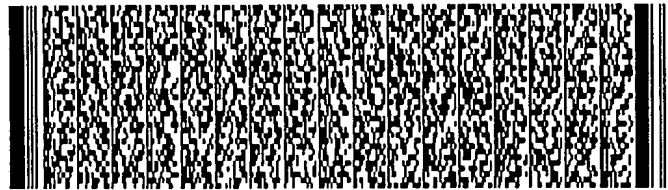
第 15/20 頁



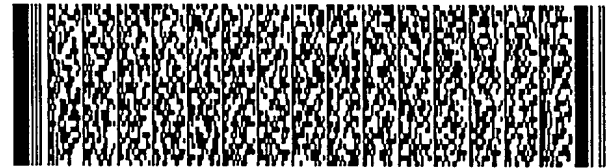
第 16/20 頁



第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

